1. **РАЗАРАБОТКА ФУНКЦИОНАЛЬНЫХ СХЕМ ОСНОВНЫХ**

**УЗЛОВ СУММАТОРА-УМНОЖИТЕЛЯ**

# 

* 1. **Логический синтез одноразрядного четвертичного умножителя-сумматора.**

ОЧУС – это комбинационное устройство, имеющее шесть входов (два разряда из регистра множимого, два разряда из регистра множителя, вход переноса и управляющий вход h) и три выхода.

Принцип работы ОЧУС представлен с помощью таблицы истинности (таблица 3.1).

Разряды множителя закодированы: 0 – 00, 1 – 01, 2 – 10, 3 – 11.

Разряды множимого закодированы: 0 – 10, 1 – 01, 2 – 00, 3 – 11.

Управляющий вход h определяет тип операции:

«0» – умножение закодированных цифр, поступивших на информационные входы;

«1» – вывод на выходы без изменения значения разрядов, поступивших из регистра множимого.

Таблица 3.1

| **Пер.** | **Мн** | | **Мт** | | **Упр.** | **Перенос** | **Результат** | | **Результаты вычисления в четверичной с/с** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| ***Р1*** | ***x1*** | ***x2*** | ***y1*** | ***y2*** | ***h*** | ***P*** | ***Q1*** | ***Q2*** |
| **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** | **10** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 2\*0+0=00 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | Выход 02 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 2\*1+0=02 |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | Выход 02 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 2\*2+0=10 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | Выход 02 |
| 0 | 0 | 0 | 1 | 1 | 0 | X | X | Х | 2\*3+0=12 |
| 0 | 0 | 0 | 1 | 1 | 1 | X | X | Х | Выход 02 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1\*0+0=00 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | Выход 01 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1\*1+0=01 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | Выход 01 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1\*2+0=02 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | Выход 01 |
| 0 | 0 | 1 | 1 | 1 | 0 | X | X | Х | 1\*3+0=21 |
| 0 | 0 | 1 | 1 | 1 | 1 | X | X | Х | Выход 01 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0\*0+0=00 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | Выход 00 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0\*1+0=00 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | Выход 00 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0\*2+0=00 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | Выход 00 |
| 0 | 1 | 0 | 1 | 1 | 0 | X | X | Х | 0\*3+0=02 |
| 0 | 1 | 0 | 1 | 1 | 1 | X | X | Х | Выход 00 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 3\*0+0=00 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | Выход 03 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 3\*1+0=03 |
| 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | Выход 03 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 3\*2+0=12 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | Выход 03 |
| 0 | 1 | 1 | 1 | 1 | 0 | X | X | Х | 3\*3+0=21 |
| 0 | 1 | 1 | 1 | 1 | 1 | X | X | Х | Выход 03 |
| 1 | 0 | 0 | 0 | 0 | 0 | Х | Х | Х | 2\*0+1=01 |
| 1 | 0 | 0 | 0 | 0 | 1 | Х | Х | Х | Выход 00 |
| 1 | 0 | 0 | 0 | 1 | 0 | Х | Х | Х | 2\*1+1=03 |
| 1 | 0 | 0 | 0 | 1 | 1 | Х | Х | Х | Выход 00 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 2\*2+1=11 |
| 1 | 0 | 0 | 1 | 0 | 1 | Х | Х | Х | Выход 00 |
| 1 | 0 | 0 | 1 | 1 | 0 | X | X | Х | 2\*3+1=13 |
| 1 | 0 | 0 | 1 | 1 | 1 | X | X | Х | Выход 00 |
| 1 | 0 | 1 | 0 | 0 | 0 | Х | Х | Х | 1\*0+1=01 |
| 1 | 0 | 1 | 0 | 0 | 1 | Х | Х | Х | Выход 01 |
| 1 | 0 | 1 | 0 | 1 | 0 | Х | Х | Х | 1\*1+1=02 |
| 1 | 0 | 1 | 0 | 1 | 1 | Х | Х | Х | Выход 01 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1\*2+1=03 |
| 1 | 0 | 1 | 1 | 0 | 1 | Х | Х | Х | Выход 01 |
| 1 | 0 | 1 | 1 | 1 | 0 | X | X | Х | 1\*3+1=10 |
| 1 | 0 | 1 | 1 | 1 | 1 | X | X | Х | Выход 00 |
| 1 | 1 | 0 | 0 | 0 | 0 | Х | Х | Х | 0\*0+1=01 |
| 1 | 1 | 0 | 0 | 0 | 1 | Х | Х | Х | Выход 00 |
| 1 | 1 | 0 | 0 | 1 | 0 | Х | Х | Х | 0\*1+1=03 |
| 1 | 1 | 0 | 0 | 1 | 1 | Х | Х | Х | Выход 00 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0\*2+1=01 |
| 1 | 1 | 0 | 1 | 0 | 1 | Х | Х | Х | Выход 02 |
| 1 | 1 | 0 | 1 | 1 | 0 | X | X | Х | 0\*3+1=01 |
| 1 | 1 | 0 | 1 | 1 | 1 | X | X | Х | Выход 00 |
| 1 | 1 | 1 | 0 | 0 | 0 | Х | Х | Х | 3\*0+1=01 |
| 1 | 1 | 1 | 0 | 0 | 1 | Х | Х | Х | Выход 03 |
| 1 | 1 | 1 | 0 | 1 | 0 | Х | Х | Х | 3\*1+1=10 |
| 1 | 1 | 1 | 0 | 1 | 1 | Х | Х | Х | Выход 03 |
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 3\*2+1=13 |
| 1 | 1 | 1 | 1 | 0 | 1 | Х | Х | Х | Выход 03 |
| 1 | 1 | 1 | 1 | 1 | 0 | X | X | Х | 3\*3+1=22 |
| 1 | 1 | 1 | 1 | 1 | 1 | X | X | Х | Выход 03 |

Управляющий вход h определяет тип операции: 0 – умножение закодированных цифр, поступивших на информационные входы, и добавление переноса; 1 – вывод на выходы без изменения значений разрядов, поступивших из регистра множимого.

В таблице 3.1 выделено 36 безразличных наборов, т. к. на входы ОЧУС из разрядов множителя не может поступить код «11», при работе ОЧУС как сумматора на вход переноса не может поступить единица, а при умножении на ноль или единицу на вход переноса также не может поступить единица.

* 1. **Логический синтез одноразрядного четвертичного сумматора**

Одноразрядный четверичный сумматор – это комбинационное устройство, имеющее 5 двоичных входов (2 разряда одного слагаемого, 2 разряда второго слагаемого и вход переноса) и 3 двоичных выхода.

Принцип работы ОЧС представлен с помощью таблицы истинности (таблица 3.2).

Разряды обоих слагаемых закодированы: 0 – 10; 1 – 01; 2 – 00; 3 – 11.

Так как ОЧС синтезируется для схемы второго типа, то безразличные наборы в таблице истинности отсутствуют.

*Таблица 3.2*

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| ***a1*** | ***a2*** | ***b1*** | ***b2*** | ***p*** | **П** | ***S1*** | ***S2*** | **Операции**  **в четверичной с/с** |
| **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 2+2+0=10 |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 2+2+1=11 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 2+1+0=03 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 2+1+1=10 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 2+0+0=02 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 2+0+1=03 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 2+3+0=11 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 2+3+1=12 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1+2+0=03 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1+2+1=10 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1+1+0=02 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1+1+1=03 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1+0+0=01 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1+0+1=02 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1+3+0=10 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1+3+1=11 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0+2+0=02 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0+2+1=03 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0+1+0=01 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0+1+1=02 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0+0+0=00 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0+0+1=01 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0+3+0=03 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0+3+1=10 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 3+2+0=11 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 3+2+1=12 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 3+1+0=10 |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 3+1+1=11 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 3+0+0=03 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 3+0+1=10 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 3+3+0=12 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 3+3+1=13 |

1. **СИНТЕЗ ОЧС НА ОСНОВЕ МУЛЬТИПЛЕКСОРА**

Мультиплексор – это логическая схема, имеющая n входов,m управляющих входов и один выход. При этом должно выполняться равенство . На выход мультиплексора может быть пропущен без изменений любой (один) логический сигнал, поступающий на информационные входы. Порядковый номер информационного входа, значение с которого в данный момент должно быть передано на выход, должно быть передано на выход, определяется двоичным кодам на управляющих входах. Для синтеза ОЧС будем использовать мультиплексор “один из восьми” (1 из 8).

| ***a1*** | ***a2*** | ***b1*** | ***b2*** | ***p*** | **П** | **П** | ***S1*** | ***S1*** | ***S2*** | ***S2*** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **1** | **2** | **3** | **4** | **5** | **6** |  | **7** |  | **8** |  |
| 0 | 0 | 0 | 0 | 0 | 1 |  | 1 |  | 0 |  |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | “1” | 1 |  | 1 |  |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 |  | 0 |  | 0 |  |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | “0” | 1 |  | 0 |  |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 |  | 1 |  | 1 |  |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 |  | 0 | *p* | 1 |  |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 |

*Продолжение таблицы 4.1*

| 1 | 1 | 0 | 0 | 0 | 1 |  | 0 |  | 1 | + |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |  | 0 |  | 0 |  |
| 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
|  | | | | | | | | | | |

*Таблица 4.1 – таблица истинности для синтеза ПФ ОЧС*

| ***a1*** | ***a2*** | ***b1*** | ***b2*** | ***p*** | **П** | **П** | ***S1*** | ***S1*** | ***S2*** | ***S2*** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **1** | **2** | **3** | **4** | **5** | **6** |  | **7** |  | **8** |  |
| 0 | 0 | 0 | 0 | 0 | 1 |  | 1 |  | 0 |  |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | “1” | 1 |  | 1 |  |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 |  | 0 |  | 0 |  |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | “0” | 1 |  | 0 |  |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 |  | 1 |  | 1 |  |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 |  | 0 | *p* | 1 |  |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 |

*Продолжение таблицы 4.1*

| 1 | 1 | 0 | 0 | 0 | 1 |  | 0 |  | 1 | + |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |  | 0 |  | 0 |  |
| 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
|  | | | | | | | | | | |

Функциональная схема ОЧС на мультиплексорах представлена в приложении Г.

# **Логический синтез преобразователя множителя (ПМ)**

Преобразователь множителя (ПМ) служит для исключения из множителя диад 11, заменяя их на триады .

*Таблица истинности ПМ. Таблица 5*

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Вх. диада | | Tригер | Зн. | Вых. диада | |
| Qn | Qn-1 | T | P | S1 | S2 |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 |

Проведём минимизацию **P** при помощи карты Карно:

Qn-1T

Qn

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **P** | 00 | 01 | 11 | 10 |
| 0 |  |  |  |  |
| 1 | 1 | 1 | 1 | 1 |

P = Qn

Очевидно, что S1 не минимизируется, поэтому

Проведём минимизацию **S2** при помощи карты Карно:

Qn-1T

Qn

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **S2** | 00 | 01 | 11 | 10 |
| 0 |  | 1 |  | 1 |
| 1 |  | 1 |  | 1 |

# **оценка результатов разработки**

Формула расчёта временных затрат на умножение:

, где

– время преобразования множителя;

– время формирования дополнительного кода множимого;

– время умножения на ОЧУС;

– время формирования единицы переноса в ОЧС;

– время сдвига частичной суммы;

n – количество разрядов на множителе.

**Заключение**

В процессе выполнения курсовой работы была разработана структурная схема сумматора-умножителя второго типа, а также функциональные схемы основных узлов данного устройства. Для уменьшения стоимости логических схем были выполнены минимизации переключательных функций различными способами. Такой подход позволил выявить достоинства и недостатки этих алгоритмов.

В качестве главного достоинства минимизации картами Карно (Вейче) можно выделить простоту и минимальные затраты времени. Однако применение данного способа для функций многих переменных будет затруднительно. Функциональные схемы были построены в различных логических базисах. Это позволило закрепить теоретические знания основных законов булевой алгебры, например, правило де Моргана. Также можно отметить, что необходимо сократить количество уровней в логической схеме для уменьшения времени работы данного устройства.

Реализация переключательных функций на основе мультиплексоров позволила облегчить процесс минимизации этих функций.

1. **. Список использованных источников**

Единая система конструкторской документации (ЕСКД) : справ. пособие / С. С. Борушек [и др.]. – М. : Изд-во стандартов, 1989. – 352 с.

Искра, Н. А. Арифметические и логические основы вычислительной техники : пособие / Н. А. Искра, И. В. Лукьянова, Ю. А. Луцик. – Минск : БГУИР, 2016. – 75 с.

Луцик, Ю. А. Учебное пособие по курсу «Арифметические и логические основы вычислительной техники» / Ю. А. Луцик, И. В. Лукьянова, М. П. Ожигина. – Минск : МРТИ, 2001. – 77 с.

Лысиков, Б. Г. Арифметические и логические основы цифровых авто- матов / Б. Г. Лысиков. – Минск : Выш. шк., 1980. – 342 с.

Лысиков, Б. Г. Цифровая вычислительная техника / Б. Г. Лысиков. – Минск : Выш. шк., 2003. – 242 с.

Савельев, А. Я. Прикладная теория цифровых автоматов / А. Я. Са-вельев. – М. : Высш. шк., 1987. – 272 с.

Усатенко, С. Т. Выполнение электрических схем по ЕСКД : справочник / С. Т. Усатенко, Т. К. Каченюк, М. В. Терехова. – М. : Изд-во стандартов, 1989. – 325 с.

**Приложение А**

*(обязательное)*

Сумматор-умножитель второго типа. Схема электрическая структурная

**Приложение Б**

*(обязательное)*

Одноразрядный четверичный умножитель-сумматор. Схема электрическая функциональная

**Приложение В**

*(обязательное)*

Одноразрядный четверичный сумматор. Схема электрическая функциональная

**Приложение Г**

*(обязательное)*

Одноразрядный четверичный сумматор. Реализация на мультиплексорах. Схема электрическая функциональная

**Приложение Д**

*(обязательное)*

Преобразователь множителя. Схема электрическая функциональная